

Делители частоты.

Часть 1. Основные сведения о делителях частоты

Сергей ДИНГЕС,
к. т. н.
Виктор КОЧЕМАСОВ,
к. т. н.

В первой статье из цикла, посвященного обзору СВЧ-делителей частоты, рассмотрены ключевые параметры и характеристики данных устройств, их классификация и возможные варианты структуры. Основное внимание уделено преобразователям в интегральном, модульном и приборном конструктивном исполнении. Рассмотрены технологии и исходные материалы, используемые для создания полупроводниковых приборов, предназначенных для современных делителей частоты. Представлены статические делители частоты. Наряду с обзором собственно рынка компонентов показан уровень современного развития делителей, приводятся достигнутые параметры и тенденции развития технологий и схемотехники статических делителей путем анализа доступных научных публикаций.

Делители частоты. Основные сведения

Делитель частоты, ДЧ (Frequency Divider) — электронное устройство, уменьшающее частоту подаваемых на него РЧ-колебаний.

Для деления частоты применяют различные устройства: электронные счетчики, самовозбуждающиеся генераторы колебаний, регенеративные устройства, самовозбуждающиеся генераторы с системами ФАПЧ, релаксационные и параметрические генераторы.

Использование ДЧ в РЭА

Делители частоты применяют в синтезаторах частоты, кварцевых и атомных часах, в генераторах разверток телевизионных устройств, устройствах синхронизации различного рода, радиочастотных блоках телекоммуникационных систем.

Очевидной тенденцией развития ДЧ является повышение диапазона их рабочих частот. В современных радиочастотных приложениях, таких как беспроводные персональные и локальные сети ближнего действия и автомобильные радары, широко используются диапазоны миллиметровых волн. Кроме того, разрабатываются перспективные стандарты связи для обслуживания новых приложений, таких как сотовая связь и беспроводная передача данных в нескольких новых диапазонах, включая 28, 36, 45, 73 и 79 ГГц.

Важными компонентами в радиооборудовании таких приложений являются синтезаторы частот с широким диапазоном настройки, высокой разрешающей способностью, низкой стоимостью и малым потреблением энергии, поэтому их техническая реализация

представляет большой интерес для специалистов. В СВЧ-приемопередатчиках традиционный подход к формированию сигнала гетеродина заключается в генерации основной частоты гетеродина и последующем умножении этой частоты в два или три раза. Кроме того, в автомобильных радиолокационных приемопередатчиках миллиметрового диапазона обычно формируется сигнал с прямой частотной модуляцией при использовании синтезаторов частоты.

В приемопередатчиках и трактах синтеза частот ключевым конструктивным узлом является высокоскоростной делитель частоты, при проектировании и реализации которого возникают серьезные проблемы с точки зрения оптимизации потребляемой мощности, необходимой площади кристалла ИС и достижения требуемого рабочего диапазона на миллиметровых частотах.

Классификация РЧ ДЧ

Классификация радиочастотных делителей частоты может производиться с помощью различных классификационных признаков.

Наиболее простым способом классификация ДЧ может быть выполнена по принципу их действия: аналоговые и цифровые.

По принципу изменения коэффициента деления (КД) делители могут быть поделены на:

- делители с фиксированным КД (fixed Divide Ratio);
- делители с переключаемым КД (switchable prescaler);
- делители с КД, изменяемым при функционировании в некотором диапазоне (selectable Divide Ratio), называемые иногда программируемыми делителями частоты;

- делители с предварительно устанавливаемым КД, обычно выбираемым заказчиком из некоторого диапазона (preset Divide Ratio N);
- делители с двойным переключаемым КД (dual modulus programmable divider/prescaler);
- делители с дробным коэффициентом деления (fractional frequency divider).

В настоящей статье используется сложившаяся на данный момент в профессиональном сообществе разработчиков радиооборудования классификация ДЧ по функциональному признаку:

- статические (Static);
- предделители (Prescalers);
- инжекционные (Injection);
- параметрические (Parametric);
- регенеративные/динамические/Миллера (Dynamic/Miller);
- малошумящие (Low Noise).

В широком смысле радиочастотные делители частоты можно разделять на два класса:

- Статические делители частоты (Static Frequency Dividers) — содержат схемы с прямым искажением входных колебаний, приводящим к появлению на выходе устройства гармоник или субгармоник входной частоты, причем это искажение осуществляется без изменения свойств колебательной системы, если она имеется. Классическим примером статического делителя является триггерный делитель частоты.
- Динамические делители частоты (Dynamic Frequency Divider), как правило, содержат схемы с некоторой колебательной системой, собственная частота которой близка к требуемой выходной. Таким образом, условия

возникновения необходимого колебания подготовлены заранее. При подаче входного сигнала в устройстве возбуждаются колебания с частотой $f_{\text{вых}}$, примерно равной $f_{\text{вх}}/N$, которая под действием поступающих на вход колебаний с частотой $f_{\text{вх}}$ становится в точности равной $f_{\text{вх}}/N$. Недостатком таких ДЧ становится сравнительно узкая полоса значений входного сигнала, при которых возможна синхронизация. Характерная особенность этих устройств — наличие обратной связи, цепей синхронизации различного рода. Примером динамических ДЧ служат регенеративные и инжекционные делители частоты. Следует отметить, что данная классификация не слишком часто употребляется в настоящее время. Иногда в англоязычной литературе термин «динамические делители частоты» относят только к регенеративным делителям, выделяя инжекционные делители в самостоятельный класс.

Основные параметры и характеристики ДЧ

Делители частоты могут быть охарактеризованы рядом основных параметров:

- Диапазон входных рабочих частот (Input frequency). По величине полосы рабочих частот ДЧ могут быть поделены на несколько классов:
 - фиксированные (Fixed);
 - узкополосные; субоктавные (SubOctave);
 - широкополосные (Broadband).
- Диапазон выходных рабочих частот (Output frequency).
- Вид (форма входного сигнала).
- Коэффициент деления КД (Divide Ratio, Division Factors).
- Амплитуда выходного сигнала (Output Amplitude).
- Входная (Input power) и выходная (Output power) мощности на определенной частоте.
- Неравномерность величины выходной мощности (Output power flatness) в рабочем диапазоне частот.
- Уровень фазового шума выходного сигнала при определенной расстройке от частоты полезного сигнала (Phase Noise), дБн/Гц.
- Ряд производителей позиционирует свои изделия с малым уровнем шума как малозумящие ДЧ (Low Noise Frequency Divider, LNFD).
- Подавление побочных составляющих в выходном сигнале (Output Spurious rejection), дБн.
- КСВ по входу (Input VSWR).
- КСВ по выходу (Output VSWR).
- Напряжение источника питания (Power Supply Voltage) и потребляемый ток (Power Supply Current). Некоторые делители требуют использования двух различных источников, что делает их менее востребованными.

В силу схемотехнического, топологического и конструктивного разнообразия ДЧ полный набор параметров, исчерпывающим образом характеризующий компонент, зависит от конкретной реализации устройства.

В научных публикациях для оценки качества статических ДЧ широко применяется термин «частота автоколебаний SOF» (self-oscillation frequency) — параметр, который используется именно разработчиками электронных компонентов.

При тестировании ДЧ для определения его максимальной рабочей частоты характеристики делителя могут быть ограничены параметрами тестирующей установки и в значительной мере зависят от мощности источника входного сигнала. Практически любой статический СВЧ-делитель частоты, в котором используются элементарные триггерные ячейки, можно превратить в кольцевой автогенератор путем введения необходимой обратной связи. При этом частота автоколебаний SOF, возникающих в таком генераторе, будет зависеть только от внутренних параметров электронной схемы. В силу этого параметр «частота автоколебаний SOF» может быть использован как показатель качества (ПК) для более объективной оценки качества статических делителей, чем максимальная рабочая частота ДЧ.

Если на вход дифференциального статического делителя с коэффициентом деления 2 не подается тактовый сигнал, его можно оце-

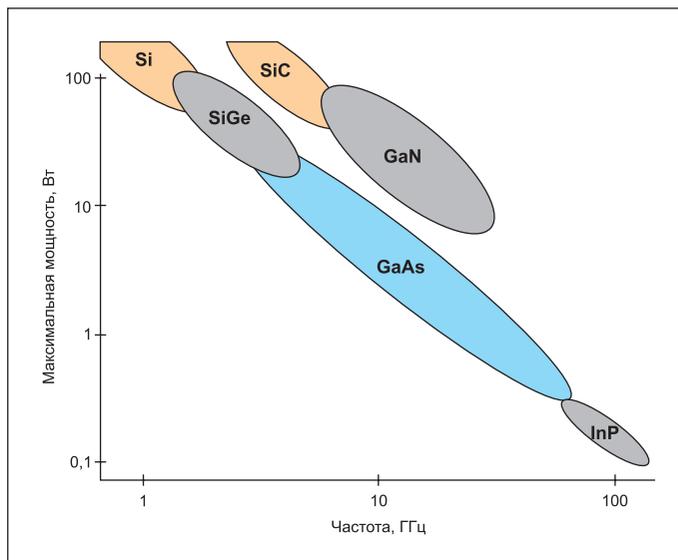


Рис. 1. Зависимость максимальной мощности от частоты для приборов на основе различных материалов [1]

нить как кольцевой генератор, имеющий собственную частоту автоколебаний SOF. При этом на основе достигнутого в делителе значения SOF может объективно выполняться оценка эффективности конкретного способа повышения быстродействия делителя и сравнение различных структур ДЧ.

Следует отметить, что для характеристики ДЧ применяется и ряд специфических показателей качества, для которых в англоязычных источниках используется аббревиатура FOM (Figure of Merit). Такие показатели, вводимые разработчиками, позволяют сравнивать различные устройства с учетом наиболее важной для данного вида делителей характеристики.

Полупроводниковые технологии для ДЧ

Широко используемая при создании ДЧ традиционная кремниевая технология и кремниевая нанотехнология ориентированы на создание широкополосных компонентов с высокой степенью интеграции, малым энергопотреблением и высоким быстродействием. Для достижения предельно высоких показателей, кроме кремния, в производстве широко распространены и другие полупроводниковые материалы (рис. 1) [1].

Для создания полупроводниковых приборов, используемых в современных ДЧ, в качестве исходного материала применяются элементарные полупроводники: германий (Ge), кремний (Si), селен (Se), теллур (Te). Интенсивно проводятся исследования и применение соединений элементов третьей и пятой групп таблицы Менделеева: арсенида галлия (GaAs), арсенида индия (InAs), фосфида индия (InP), фосфида галлия (GaP), карбида кремния (SiC) и т. д.

Кремний-германиевые (SiGe) технологии

Проведенный анализ недавних публикаций с описанием разработок статических делителей частоты показал, что кремний-германи-

Таблица 1. Достигнутые параметры кремний-германиевых (SiGe) делителей

Публикация	$f_{\text{вх}}$ (max), ГГц	SOF, ГГц	Технология, $f_{\text{рп}}$	$P_{\text{порт}}$, мВт ($U_{\text{пит}}$, В)
[2]	133 ($K_{\text{дел}} = 4$)	98	SiGe, 230 ГГц	210 (5,5)
[3]	>128,7	111,6	0,13 мкм SiGe BiCMOS	196 (3; -1,9)
[4]	110	65	SiGe HBT, 225 ГГц	1350 (-5,2)
[5]	>100	77	SiGe HBT, 230 ГГц	122 (3,3-3,6)
[6]	96	71	SiGe HBT, 210 ГГц	770 (-5)
[5]	70	54	SiGe HBT, 170 ГГц	145 (3,3-3,6)

евые (SiGe) технологии до сих пор остаются весьма популярными, и позволил выявить наиболее высокочастотный делитель с максимальной рабочей частотой 133 ГГц [2]. В таблице 1 приведено сравнение параметров статических делителей частоты с использованием кремний-германиевых технологий, имеющих различные граничные частоты $f_{гр}$. Измеренная максимальная рабочая частота предлагаемого в [3] делителя сравнима с наиболее быстродействующим делителем [2]. Тем не менее частота SOF описываемого в [3] делителя равна 111,6 ГГц, что выше, чем 98 ГГц в работе [2].

Делители на основе КМОП (CMOS)

В силу быстрого прогресса в современной технологии компонентарной логики на транзисторах металл-оксид полупроводников КМОП такие компоненты уже сейчас активно применяются в устройствах миллиметровых волн — например, в автомобильных радарах диапазона 77 ГГц, системах датчиков изображения 94 ГГц и в оборудовании связи диапазонов СВЧ.

Использование арсенида галлия (GaAs)

Арсенид галлия (GaAs) обладает более высокой подвижностью электронов, чем кремниевые структуры, что позволяет GaAs-приборам работать на частотах до 250 ГГц. Полупроводниковые приборы на основе GaAs генерируют меньше шума, чем кремниевые приборы на тех же частотах. Из-за более высокой напряженности электрического поля пробоя в GaAs по сравнению с кремниевыми структурами приборы из арсенида галлия могут работать при большей выходной мощности. Эти свойства делают достаточно дорогой арсенид галлия широко используемым в полупроводниковых лазерах, радарных системах. Полупроводниковые приборы на основе арсенида галлия имеют более высокую радиационную стойкость, чем кремниевые, что обуславливает их применение в условиях радиационного излучения, например в компонентах, работающих в космосе.

ННЛФД — гармониковые инжекционные ДЧ

В таблице 2 приведены сводные данные об аналоговых делителях частоты миллиметрового диапазона на основе GaAs, включая недавно опубликованные результаты [10]. По сравнению с инжекционными делителями с сопоставимыми порядками деления этот делитель обеспечивает аналогичную производительность при значительно сниженном потреблении энергии постоянного тока. Рабочие частоты и потребляемая мощность сопоставимы с традиционными РЧ-делителями на два, но в инжекционных делителях возможно получение более высоких коэффициентов деления. Делители, описанные в этой работе, могут быть эффективно использованы в СВЧ-системах ФАПЧ и стать перспективным вариантом для создания РЧ-блоков недорогих и мало-мощных систем связи миллиметрового диапазона.

Таблица 2. Характеристики СВЧ ДЧ, выполненных с использованием GaAs-транзисторов с высокой подвижностью электронов (pHEMT)

Публикация	Тип ДЧ	$K_{дел}$	$f_{вх}$, ГГц	Диапазон $f_{вх}$, %	$P_{пот}$, мВт	Технология, мкм
[7]	РЧ ДЧ	2	60	10	—	0,25
[8]	РЧ ДЧ	2	94	2–3	8	0,15
[9]	ННЛФД	2	69	10,7	100	0,15
[10]	ННЛФД	4	64	4,4	7,5	0,15
[10]	ННЛФД	5	63	1,6	27	0,15

Использование фосфида индия (InP)

По оценкам специалистов, использование фосфида индия (InP) по сравнению с другими распространенными в настоящее время технологиями имеет ряд преимуществ: возможность значительного увеличения рабочих частот транзисторов; более низкий уровень шумов полупроводниковых структур; более низкое энергопотребление РЧ-компонентов. При использовании 250- или 130-нм технологий InP НВТ-транзисторов разработчиками компонентов был реализован ряд различных интегральных схем, в том числе и СВЧ-делителей частоты.

В динамическом делителе на 2 с рабочей частотой 529 ГГц [11] для преодоления ограничения рабочей полосы частот традиционных конструкций таких делителей предложена новая топология динамического делителя частоты. Измеренный рабочий диапазон делителя составил 528–529,2 ГГц (1,2 ГГц).

Технологии с использованием фосфида индия-галлия InGaP

Для повышения рабочих частот ДЧ и расширения их рабочего диапазона ряд разработчиков используют биполярные НВТ-транзисторы с InGaP/GaAs-гетеропереходами. Управляемый напряжением двухтактный генератор на частоту 60 ГГц с динамическим делителем частоты ДДЧ [12] реализован в технологии гетеропереходных биполярных транзисторов с InGaP/GaAs-гетеропереходом (рис. 2).

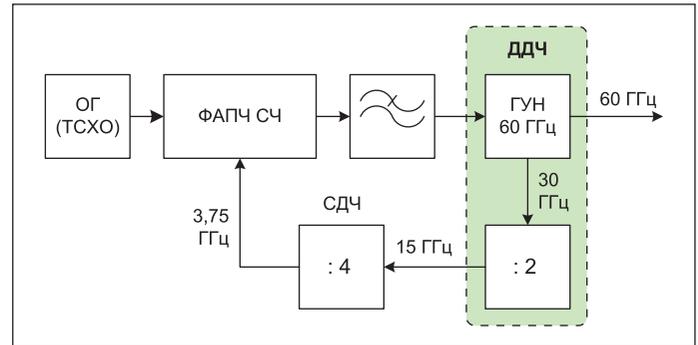


Рис. 2. Структура синтезатора частоты 60 ГГц на основе ФАПЧ

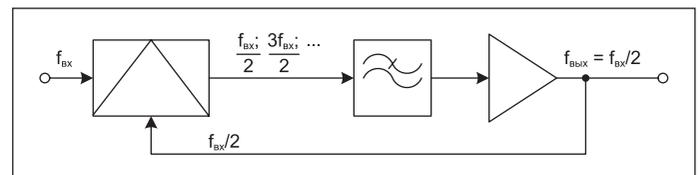


Рис. 3. Структура динамического делителя частоты

В двухтактном ГУН, который формирует на паре дифференциальных выходов сигналы 30 ГГц и одноктактный выходной сигнал 60 ГГц, применяется индуктивная обратная связь. Дифференциальные выходы 30 ГГц подключаются к динамическому делителю частоты (рис. 3), содержащему активные нагрузки с индуктивной ВЧ-коррекцией (inductive peaking), используемые для достижения большей ширины полосы рабочих частот. Далее производится деление частоты на 4 с помощью статического делителя СДЧ.

Статические делители частоты

Максимальная рабочая частота статического делителя частоты — это стандартная величина, предназначенная для определения и сравнения различных полупроводниковых высокоскоростных технологий.

Схемотехнически делители частоты являются достаточно простыми узлами. Они выпускаются многими компаниями как отдельный компонент, однако подавляющее их количество реализуется в виде схемотехнического узла, входящего в состав РЧ-компонентов более высокой степени интеграции, например узлов синтеза частот. В силу этого в данном разделе наряду с обзором собственно рынка компонентов проанализирован уровень современного развития ДЧ, достигнутые параметры и тенденции развития технологий и схемотехники делителей путем анализа доступных научных публикаций.

ДЧ на электронных счетчиках

В современной аппаратуре во многих случаях деление частоты осуществляется с помощью цепочки триггеров, образующих регистры сдвига или пересчетные цепочки.

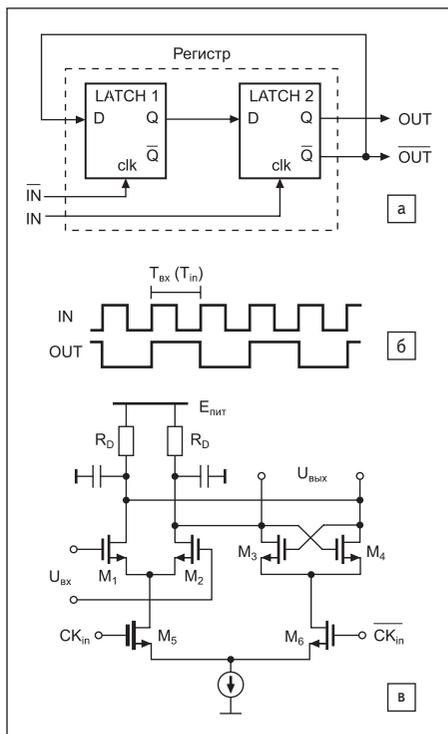


Рис. 4. а) Структура ячейки делителя частоты; б) эпюры напряжений; в) схемотехническая реализация пересчетной цепочки

Проще всего реализовать делитель частоты с помощью счетных триггеров, или D-триггеров (рис. 4). Именно такие триггеры служат основой для построения счетчиков. Они работают в широком диапазоне частот, достаточно помехоустойчивы, не требуют дополнительных навесных элементов. Еще один вариант реализации делителя — использование JK-триггера. Поскольку такой триггер универсален, его несложно включить в счетном режиме (рис. 5). В этом случае триггер пропускает на выход каждый N -й период входного колебания и блокирует все остальные. Наибольшее распространение такие устройства нашли при делении частоты следования импульсных колебаний.

Для деления частоты на число, кратное степени двойки (2, 4, 8, 16...), достаточно организовать цепочку, состоящую из необходимого числа счетных D-триггеров. Таким образом, соединив последовательно несколько триггерных делителей на 2, можно получить линейку с выходными частотами $f/2, f/4, f/8, f/16$ (выходы Q1, Q2, Q3, Q4 соответственно, рис. 6).

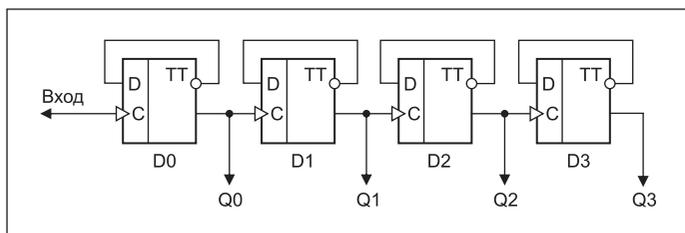


Рис. 6. Линейка деления частоты на кратное двойке число

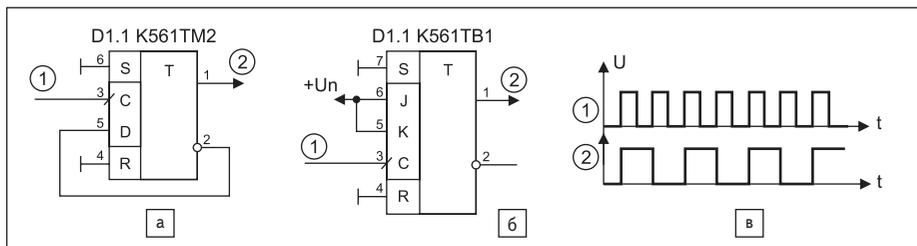


Рис. 5. а) Делитель частоты на D-триггере; б) на JK-триггере; в) поясняющие эпюры напряжений

Коэффициент деления можно изменить, например вырабатывая сигнал принудительного сброса счетчика в нулевое состояние при достижении во время счета входных импульсов заданного числа N . Так, для деления частоты на некратное степени двойки число раз, например на 3 или 5, необходимо введение специальной схемы управления, которая сбрасывает в состояние 0 все триггеры при определенном состоянии цепочки, чтобы счет начинался с нуля. Для построения делителей частоты с требуемым коэффициентом деления используется комбинация соответствующего числа двоичных разрядов с нужным числом прямых и обратных связей.

В современной РЧ-аппаратуре во многих случаях деление частоты осуществляется с помощью цепочки триггеров, образующих регистры сдвига или пересчетные цепочки с обратными связями. Для деления частоты импульсных сигналов обычно применяют двоичные и десятичные счетчики импульсов с коэффициентом деления k , кратным, соответственно, целой степени чисел 2 или 10, представляющие собой сочетание триггерных ячеек. Каскадное включение счетчиков позволяет увеличить коэффициент деления, равный произведению $k1 \times k2 \times k3$.

В зависимости от способа запуска триггеров в цепочках различают асинхронные, синхронные и комбинированные делители частоты:

- в асинхронных делителях первый разряд переключается входной импульсной последовательностью, а все последующие разряды переключаются от предыдущих;
- в синхронных делителях входная импульсная последовательность поступает на все разряды устройства одновременно;
- комбинированные делители частоты представляют собой совокупность асинхронных и синхронных делителей.

Делители с дробным переменным коэффициентом деления

Изменить суммарный коэффициент деления ДЧ можно, применяя дробные коэффициенты деления, — делением частоты входного сигнала на N в течение некоторого интервала цикла деления и делением на $N+1$ в течение остального времени.

Используя делители с дробным переменным коэффициентом деления (ДДПКД) (fractional divider) при разработке синтезаторов частот на основе петель ФАПЧ, можно решить важную практическую задачу — повысить частоту сравнения на входе фазового детектора, что приводит к уменьшению фазового шума и увеличению скорости перестройки синтезатора.

Для этого коэффициент делителя в цепи обратной связи должен переключаться между значениями N и $N+1$ так, чтобы на некотором временном интервале средний коэффициент был дробным. Например, если в одном временном интервале производить деление на 10, а в другом — на 11, средний коэффициент за два такта будет дробным и составит 10,5.

Основной недостаток техники дробного деления — повышенное содержание в спектре выходного сигнала негармонических спектральных составляющих вследствие фазовых ошибок, присущих механизму дробного деления.

Весьма информативной публикацией, в которой можно найти анализ и обзор особенностей построения ДДПКД диапазона СВЧ, является [13]. В таблице 3, полученной в результате анализа наиболее значимых научных публикаций последних лет, приведены основные параметры, которые удалось реализовать в СВЧ ДДПКД.

Обзор рынка и разработок ДЧ

Японская корпорация NEC является одним из крупнейших мировых производителей

Таблица 3. Параметры, достигнутые в СВЧ ДДПКД

Публикация	[13]	[14]	[15]	[16]	[17]	[18]
Рабочая частота, ГГц	7,2/9,2	4,75	5,5	2	1,7	2
Технология, нм	65	45	250	350	700	65
$K_{дел}$	3,5/4,5	1,25	220–240	15/16	128/129	3–24
$U_{пит}, В/P_{пот}, мВ$	1,2/3	1,1/9	2,2/59	1,5/2	3/24	1,2/0,6–1,6
Уровень шума (noise floor), дБн/Гц	–156	–45	н/д	–130	–142	н/д

Примечание: н/д — нет данных.

Таблица 4. Предварительные делители частоты (Siicon MMIC Prescaler) компании NEC/CEL

Модель	f_{max} /диапазон, ГГц	$K_{\text{дел}}$	$U_{\text{пит}}$ В/1, МА	Корпус
UPB1507GV	0,5–3	64/128/256	5/19	8SSOP
UPB1509GV	0,5–1	2/4/8	5/5	8SSOP
UPB1513TU	5–13	4	5/48	8L2M
UPB1514TU	8–16	8	5/50	S08/TU

лей электронной техники. Одно из подразделений компании занимается разработкой и производством полупроводниковых приборов. На американском и мировом рынке продукцию NEC представляет американская компания NEC/CEL (California Eastern Labs). Продукция включает микросхемы, радио-модули и программное обеспечение, в том числе более 15 моделей делителей частоты с использованием кремниевых технологий [19]. Достигнутый компанией технологический уровень можно оценить по таблице 4, где представлены основные сведения о наиболее характерных моделях таких ДЧ.

Все делители выполнены по классическим схемам с использованием D-триггеров и кремниевых технологий, что иллюстрируют рис. 7–9. На выходах делителей предусмотрены буферные усилители. Делители, работающие на частотах до 3 ГГц, изготовлены с использованием кремниевого биполярного процесса NESAT IV.

Делитель частоты на 2 UPB1508GV, структура которого приведена на рис. 7, обладающий низким потреблением энергии и широким

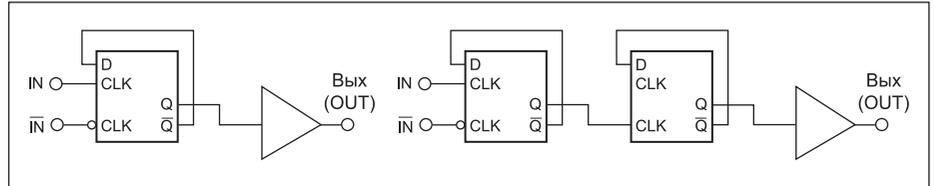


Рис. 7. Структура предварительного делителя частоты на 2 UPB1508GV-E1-A, работающего на 3 ГГц, и делитель частоты на 4 UPB1510GV-A

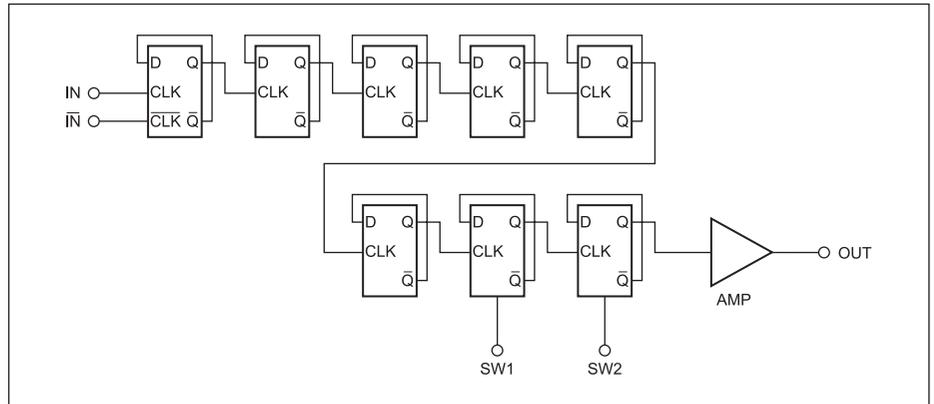


Рис. 9. Структура пределителя на 256, 128, 64 UPB1507GV для аналоговых DBS-тюнеров

диапазоном рабочих частот, делает устройство удобным для использования в ФАПЧ-синтезаторах UHF/VHF ТВ-устройств и тюнерах спутникового DBS-телевидения.

Наиболее высокочастотная модель делителя UPB1514TU предназначена для работы в диапазоне 8–16 ГГц. Он выполнен с помо-

щью фирменного 50-ГГц UHS2 (Ultra High Speed) биполярного SiGe-процесса, может функционировать с напряжением питания 4,5–5,5 В и работать с входным сигналом, уровень которого изменяется в широких пределах, что подтверждает приведенная на рис. 10 зависимость его чувствительно-

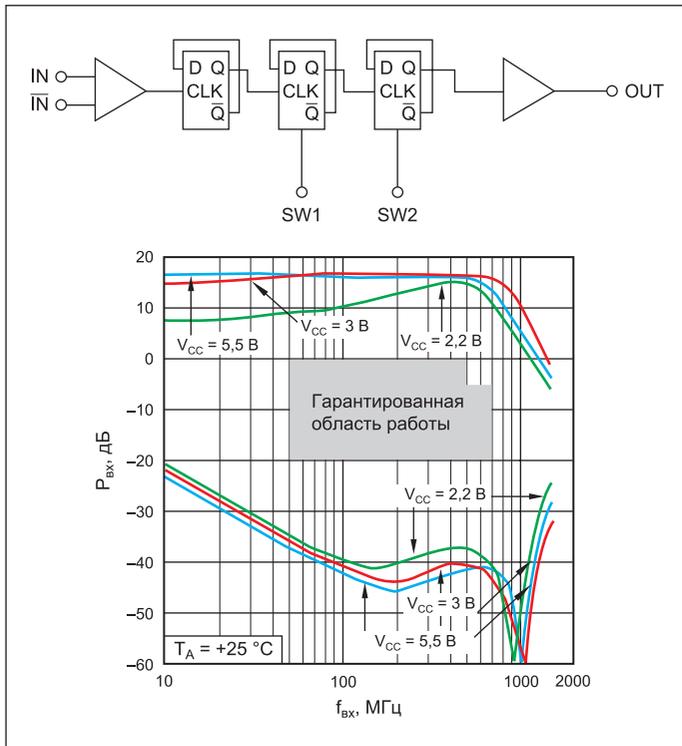


Рис. 8. Структура делителя UPB1509GV с изменяемым при функционировании коэффициентом деления: 2, 4, 8 и зависимость его рабочего диапазона входной мощности от частоты при различном напряжении питания V_{CC}

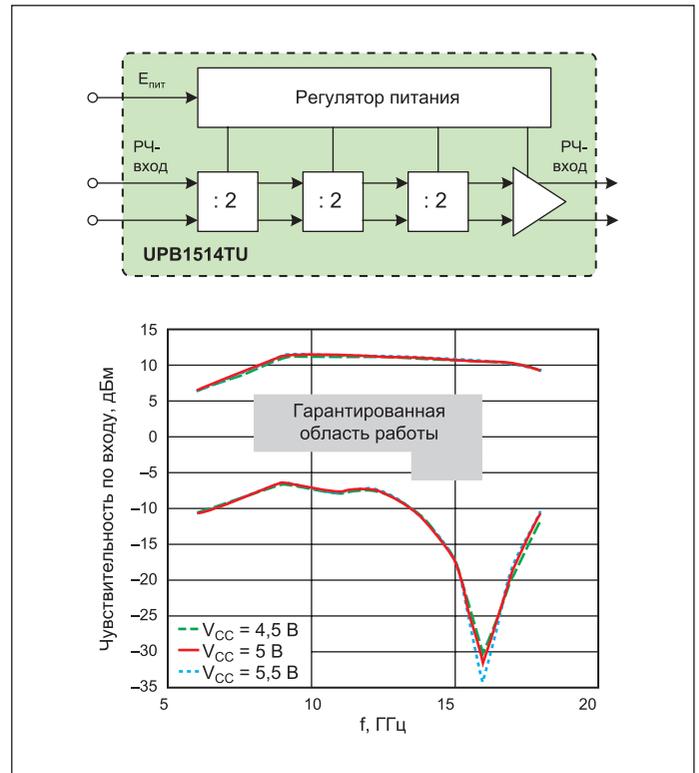


Рис. 10. Структура делителя UPB1514TU и зависимость его чувствительности от частоты при различном напряжении питания V_{CC}

сти от частоты. Компонент корпусирован в 8-контактный бессвинцовый корпус для поверхностного монтажа.

Компания Hittite Microwave Corporation, входящая в состав корпорации Analog Devices, ведущий мировой разработчик решений на основе СВЧ монокристаллических интегральных схем (МИС) с использованием SiGe BiCMOS-процесса, разработала набор микросхем ФАПЧ, уже несколько лет пользующийся очень большой популярностью на рынке РЧ-компонентов. В него входит HMC983LP5E — дробный/целочисленный делитель частоты (fractional frequency divider) со встроенной программируемой функцией качания частоты, HMC984LP4E — цифровой фазочастотный детектор и источник сигнала управления генератором. Вместе они создают высокопроизводительный набор ФАПЧ (рис. 11), предназначенный для применений, где требуется высокая фазовая стабильность, а также позволяют реализовать линейную частотную модуляцию (ЛЧМ).

Делитель с дробным коэффициентом деления HMC983LP5E содержит следующие основные функциональные узлы:

- предделитель на частоту 2,7 ГГц и многомодовый делитель (Multi Modulus Divider);
- программируемый 48-битный Δ - Σ -модулятор (Configurable Fractional Delta Sigma Modulator, DSM), который позволяет в объединенном синтезаторе достигать разрешающей способности по частоте до 180 нГц;
- устройство качания по частоте;
- основной порт последовательного интерфейса SPI (Serial Port Interface);
- вспомогательный выходной порт последовательного интерфейса SPI;
- интерфейс ввода/вывода общего назначения GPIO (General Purpose Digital IO);
- схему перевода ИС в отключенное состояние.

Широкополосный 20-битный делитель HMC983LP5E (рис. 12) работает на входных

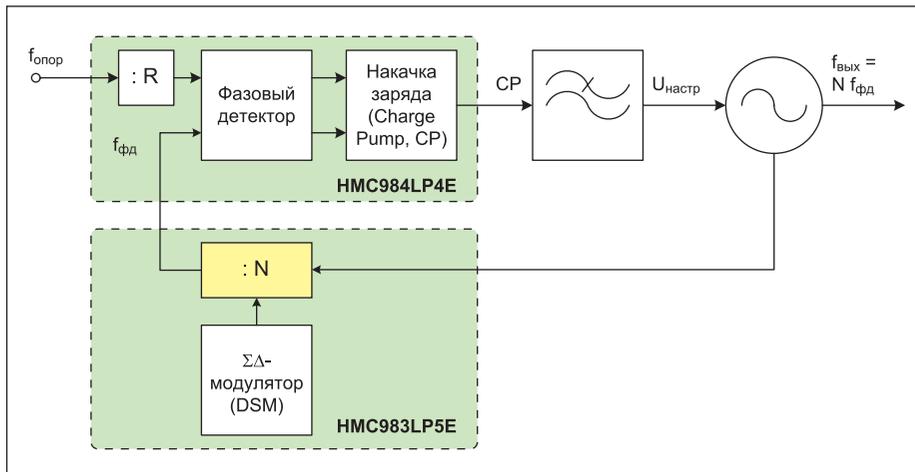


Рис. 11. Типовая структура синтезатора частот с использованием ИС HMC984LP4E и делителя HMC983LP5E

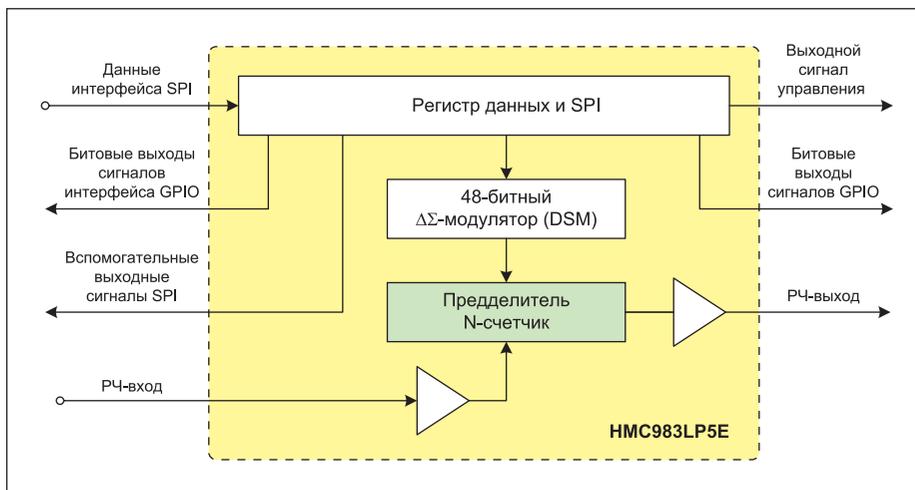


Рис. 12. Упрощенная функциональная схема делителя HMC983LP5E

частотах 0–7 ГГц, обеспечивая при целочисленном режиме очень низкий уровень фазового шума $S = -160$ дБн/Гц при отстройках более 1 МГц и дискретных составляющих -95 дБн (рис. 13, 14). Встроенная

функция качания по частоте позволяет объединенному синтезатору формировать когерентные, частотно-модулированные последовательности, которые могут быть линейными либо сформированными

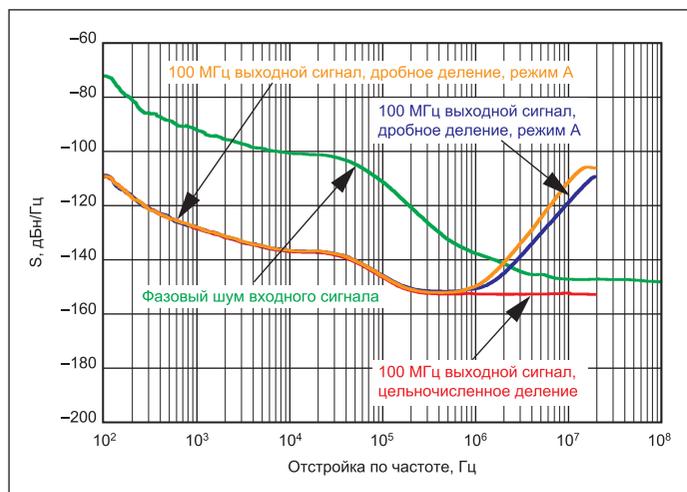


Рис. 13. Фазовый шум микросхемы HMC983LP5E при входном сигнале 6 ГГц и различных режимах работы делителя

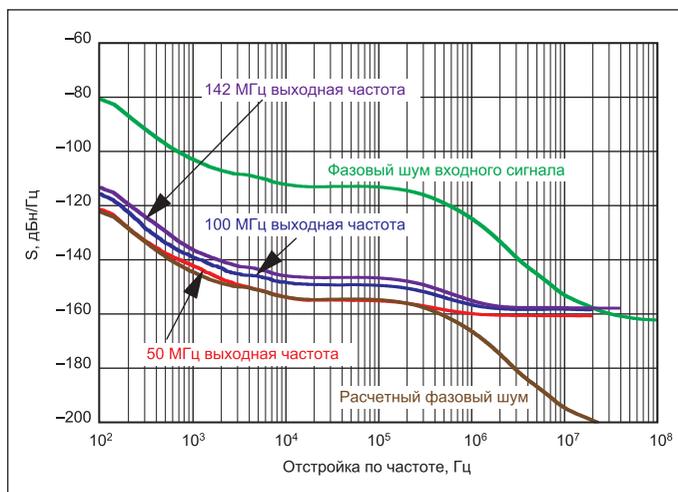


Рис. 14. Фазовый шум делителя HMC983LP5E в режиме целочисленного деления при входном сигнале 6 ГГц

Таблица 5. Параметры делителей частоты компании Centellax

Модель	Коэффициенты деления	Диапазон рабочих частот, ГГц	Фазовый шум, дБн/Гц	U _{пит} , В	Тип корпуса	Соответствие стандарту безопасности материалов RoHS
UXN6M9P	8, 9, ..., 510, 511	DC–9	–147	–3,3	QFN 6×6 мм	Да
UXN14M9P	8, 9, ..., 510, 511	DC–14	–147	–3,3	QFN 6×6 мм	Да
MX1DS10P	21, 22, ..., 220	0,05–15	–153	–3,3	QFN 6×6 мм	Да
UXM15P	2, 4, 8	DC–20	–153	–3,3	QFN 4×4 мм	Да
	4, 5, 6, 7, 8, 9	DC–15				
UXC20P	2, 4, 8	DC–20	–153	–3,3	QFN 4×4 мм	Да
UXD20P	1, 2, 4, 8	DC–20	–153	–3,3	QFN 4×4 мм	Да
UXD20K	1, 2, 4, 8	DC–26,5	–153	–3,3	Керамический 4×4 мм	Нет
UXN14M32K	1, 2, ..., 232–1	DC–15	–150	–3,3	Керамический 4×4 мм	Нет

пользователем программно, повторяющимися автоматически или по управляющему сигналу.

Микросхема HMC984LP4E содержит сверхмаломощный фазовый детектор и источник управления генератором со схемой накачки заряда. Обеспечивается работа на высоких частотах фазового детектора в 125 МГц в дробном режиме и на 175 МГц в целочисленном режиме деления. Это дает возможность ФАПЧ применять широкополосную петлю обратной связи, что позволяет понизить значения фазового шума, реализовать меньшее время захвата частоты и, соответственно, быстрое качание по частоте. Взвешенный фазовый шум при использовании данного набора составляет –231 дБн/Гц в целочисленном режиме и –227 дБн/Гц в дробном.

HMC983LP5E и HMC984LP4E могут использоваться отдельно друг от друга. Разделение компонентов петли ФАПЧ на два различных блока позволяет достичь хорошей развязки между ними и в результате получить значения паразитных составляющих спектра до –60 дБн/Гц в полосе пропускания петли. Делитель выпускается в пластиковых бессвинцовых 32-выводных корпусах LP5 размером 5×5 мм для поверхностного монтажа и обеспечивает высокую стабильность параметров в диапазоне изменения температур –40...+85 °С.

Часть предлагаемых сейчас на рынке высококачественных РЧ-делителей разработана ранее компаниями Centellax и Zarlink Semiconductor, в настоящее время присоединенными к компании Microsemi.

Компания Centellax производит выпускаемые в виде предназначенных для поверхностного монтажа интегральных схем предделители (Prescaler) и программируемые делители частоты (Programmable Integer Divider), а также отладочные платы (Evaluation board) для них. Устройства имеют высокие эксплуатационные характеристики и могут использоваться для высокоскоростной обработки сигналов (Гбит/с), в цифровых вычислительных синтезаторах с прямым цифровым синтезом (вычислительных синтезаторах), генераторах с числовым программным управлением. Centellax предлагает набор делителей частоты и предварительных делителей в пластиковых QFN- и керамических герметичных корпусах. Каждый делитель полностью программируется для установки необходимого коэффициента деления и имеет высокую входную чувствительность. В таблице 5 приведены основные параметры делителей частоты компании Centellax. Фазовый шум измерен на входной частоте 8 ГГц при отстройке 10 кГц.

Все микросхемы делителей частоты имеют температурный диапазон хранения –85...+125 °С и диапазон рабочих температур –40...+85 °С. Делители могут функционировать в режимах с несимметричными (одинарными) или дифференциальными входами и выходами. Для улучшения системной интеграции управляющие входы делителей являются CMOS- и LVTTTL-совместимыми. Для всех делителей частоты выпускаются отладочные платы (рис. 15), имеющие ВЧ-разъемы типа SMA и НЧ-разъем типа SMB.

Если потребителям необходимо контролировать температуру микросхемы, на ней может быть установлен термочувствительный

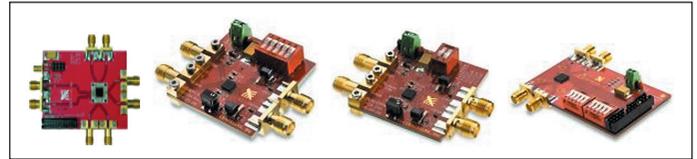


Рис. 15. Внешний вид отладочных плат для делителей частоты

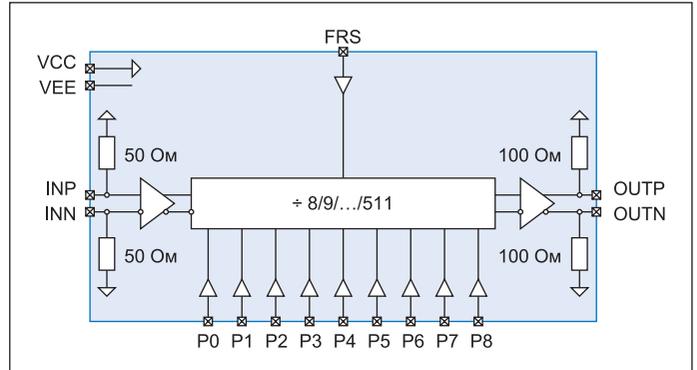


Рис. 16. Структурная схема делителей частоты UXN6M9P и UXN14M9P

диод. Возможность подключения диода для индикации температуры предусмотрена для делителей UXM15P, UXC20P, UXD20P, UXD20K и UXN14M32K. Расчет температуры поверхности микросхемы можно выполнить посредством практически линейной температурной зависимости падения напряжения на диоде.

Микросхемы UXN6M9P и UXN14M9P, выпускаемые компанией, представляют собой программируемые целочисленные делители частоты (Programmable Integer Divider) с коэффициентами деления в диапазоне целых чисел 8–511. UXN6M9P может быть использован в различных высокочастотных синтезаторах как маломощный делитель частоты общего назначения. Быстрое переключение в сочетании с широким набором коэффициентов деления делают UXN6M9P оптимальным для программируемых устройств генерации частот. Необходимая входная мощность находится в пределах –15...+5 дБм, выходная мощность составляет 4 дБм, рассеиваемая мощность 460 мВт, типовое значение теплового сопротивления «переход-среда» (Junction-Case Thermal Resistance) составляет 34 °С/Вт. Структурная схема делителей частоты UXN6M9P и UXN14M9P показана на рис. 16.

Управляющий вход FRS (Frequency Range Selector) предназначен для выбора частотного диапазона делителя. ИС имеет параллельные входы управления P0, ..., P8, с помощью которых устанавливается необходимый коэффициент деления, определяемый по формуле:

$$N = P_0 \times 2^0 + P_1 \times 2^1 + P_2 \times 2^2 + \dots + P_8 \times 2^8$$

для $8 \leq N \leq 511$.

Прескалер UXN14M9P имеет те же характеристики, что и предыдущий делитель, за исключением более широкого частотного диапазона (до 14 ГГц). Быстрое переключение в сочетании с широким диапазоном коэффициентов деления делают выбор UXN14M9P оптимальным для ФАПЧ как с целочисленным, так и с дробным коэффициентом деления. Дробное деление может быть достигнуто при подаче на управляющие входы делителя необходимой кодовой последовательности, например $\Delta\Sigma$ -модулирующей последовательности.

В предделителе UXN14M9P реализация смежных коэффициентов деления достигается обратной подачей (возвратом) входных сигналов, управляющих коэффициентом деления в течение каждого выходного цикла. Эта черта важна для применений, в которых требуется быстрое программирование коэффициента деления, например в синтезаторах с дробным коэффициентом деления. Выход делителя используется для синхронизации выходной цепи.

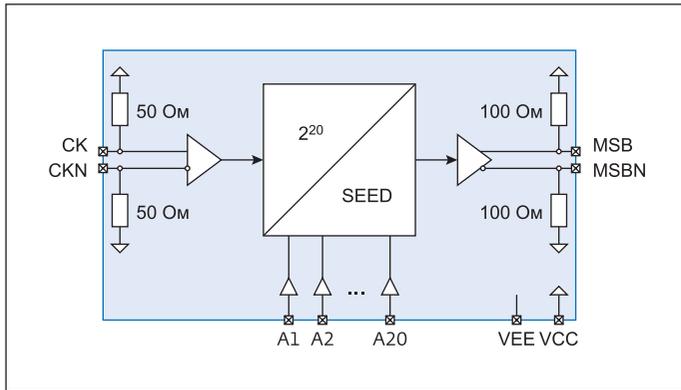


Рис. 17. Структурная схема делителя частоты MX1DS10P

Программируемый целочисленный широкополосный предделитель частоты MX1DS10P (Ultra-Variable Broadband Prescaler) имеет рабочий частотный диапазон 0,05–15 ГГц и позволяет изменять коэффициент деления в очень широких пределах 2–1 048 576 (2^{20}). Микросхема выполнена по кремний-германиевому (SiGe) процессу. Структурная схема предделителя представлена на рис. 17.

Коэффициент деления данного делителя частоты равен $K = 2^{20}/SEED$, где $SEED = A1 + A2 \times 2^1 + A3 \times 2^2 + \dots + A20 \times 2^{19}$. Максимальное значение SEED равно 2^{19} , наименьший коэффициент деления равен 2. Предделитель MX1DS10P идеально подходит для ФАПЧ и синтезаторов частот, где требуются большие изменяемые коэффициенты деления частоты. Другое применение — триггерная генерация (trigger generation) для высокоскоростных измерительных систем. Устройство MX1DS10P может также эксплуатироваться в высокочастотных ФАПЧ, что позволяет использовать преимущества низкого фликер-шума $1/f$ в SiGe HBT-приборах. В тестовых инструментальных системах общего назначения также могут использоваться имеющиеся у предделителя преимущества в высокой входной чувствительности и широком частотном диапазоне.

Программируемый целочисленный делитель UXM15P (Programmable Integer-N Prescaler) представляет собой малошумящий делитель, реализующий два режима деления. Первый режим — это двоичное деление (binary divide) с коэффициентом деления 2, 4 или 8 для высокоскоростного переключения, второй режим — с переключаемыми коэффициентами деления (multi-modulus divide) 4, 5, 6, 7, 8 или 9 (рис. 18). При использовании двух управляющих входов SelA и SelB делитель может быть переведен в один из четырех режимов работы, а именно — переключаемый коэффициент деления, делитель на 2, на 4 или на 8. Значение коэффициента деления в переключаемом режиме выбирают с помощью управляющих входов MS1, MS2

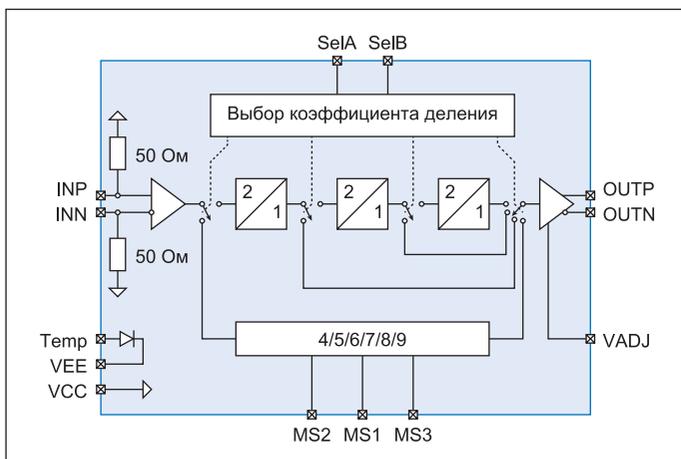


Рис. 18. Структурная схема делителя частоты UXM15P

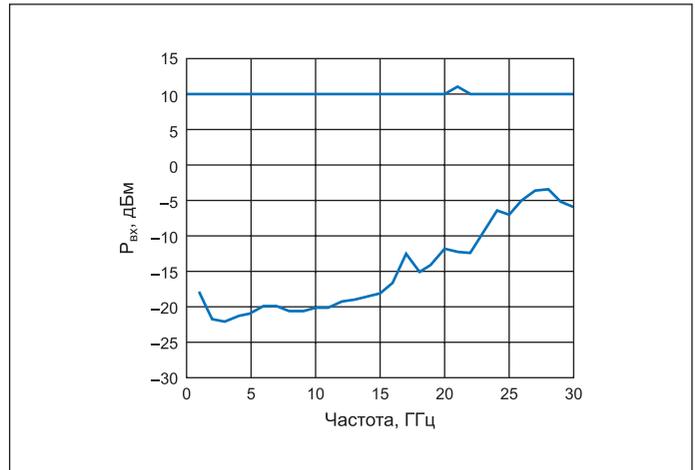


Рис. 19. Зависимость чувствительности по входу (Power Input Sensitivity) от частоты в несимметричном режиме делителя частоты UXM15P

и MS3. Для каждого заданного режима неработающая цепь автоматически переходит в режим малого энергопотребления.

Предделитель имеет большой размах выходного сигнала и высокую входную чувствительность (рис. 19). Входная мощность составляет $-10 \dots +10$ дБм, выходная мощность находится в пределах $-5 \dots +3$ дБм, рассеиваемая мощность 610 мВт, тепловое сопротивление «переход-среда» 60 °C/Вт.

UXM15P может быть использован как делитель частоты общего назначения и как предделитель с фиксированным коэффициентом деления в высокочастотных системах ФАПЧ. Многомодовый режим работы устройства позволяет задействовать его в ФАПЧ с целочисленным и с дробным коэффициентами деления. Низкий фазовый шум делителя делает его оптимальным вариантом для генерирования синхросигналов (synchronous clock) с низким джиттером для телекоммуникационных приложений.

На рис. 20 показана структура трех предделителей: UXC20P, UXD20P и UXD20K, которые могут быть употреблены в качестве делителей частоты общего назначения, делителей частоты с фиксированным коэффициентом в высокочастотных генераторах на основе петле ФАПЧ. Низкий фазовый шум делителей делает их идеальными для генерирования сигналов синхронизации с низким джиттером для телекоммуникационных приложений.

Предделители обладают высокой входной чувствительностью и имеют требуемый для стандартных применений размах выходного сигнала. Необходимая входная мощность находится в пределах $-10 \dots +10$ дБм, типовое значение составляет 0 дБм. Типовая величина выходной мощности равна 5 дБм, минимальное значение -5 дБм. Рассеиваемая мощ-

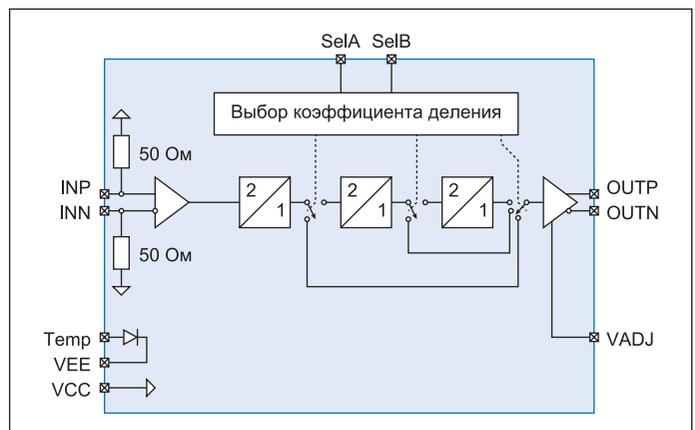


Рис. 20. Структурная схема делителей частоты UXC20P, UXD20P и UXD20K



Рис. 21. Зависимость групповой задержки от частоты для пределителя UXD20P

ность ИС достаточно низкая — 430 мВт, типовое значение теплового сопротивления «переход-среда» составляет 20 °С/Вт для UXC20P, 46 °С/Вт для UXD20P, 52 °С/Вт для UXD20K.

Программируемый бинарный пределитель UXC20P — малошумящая программируемая ИС с коэффициентами деления 2, 4 или 8. Программируемый бинарный пределитель UXD20P с коэффициентами деления 1, 2, 4, или 8 работает, как и UXC20P, до 20 ГГц. В режиме использования с коэффициентом деления, равным 1, пределитель функционирует как широкополосный усилитель-ограничитель в частотном диапазоне до 7 ГГц (рис. 21).

Программируемый пределитель UXD20K (low noise DC to 26.5 GHz programmable prescaler) — малошумящий делитель частоты с коэффициентами деления 1, 2, 4, 8, работающий в диапазоне частот до 26,5 ГГц (рис. 22). В режиме с коэффициентом деления, равным 1, UXD20K действует как широкополосный усилитель-ограничитель в диапазоне частот до 7 ГГц. Пределитель отвечает требованиями стандартов JEDEC MO-220 и MSL-1.

Последняя разработка компании Centellax — высокоэффективный делитель UXN14M32K (32-bit Programmable Integer Divider), чья структура и внешний вид приведены на рис. 22. Делитель, получивший торговое название SuperDivider, имеет диапазон рабочих частот до 15 ГГц.

Делитель UXN14M32K, для работы с которым используется трехпроводной последовательный интерфейс управления, представляет собой программируемый 32-битный целочисленный делитель частоты со всеми возможными коэффициентами деления $1-4\,294\,967\,295 (2^{32}-1)$. Делитель выпускается в 24-контактном керамическом корпусе для поверхностного монтажа, имеющем размеры 4×4 мм. Устройство позиционируется компанией как наиболее мощный делитель частоты на рынке и может быть использовано как конфигурируемый компонент общего назначения в различных высокочастотных синтезаторах.

Необходимая для работы устройства мощность входного сигнала находится в пределах -20...+10 дБм, выходная мощность составляет +4 дБм, размах выходного напряжения

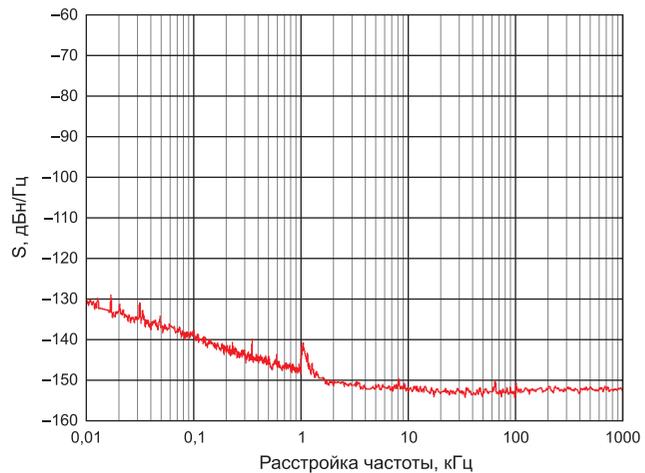


Рис. 22. Фазовый шум UXD20K при бинарном делении на 8 входного сигнала с частотой 7,8 ГГц

от пика до пика 0,8 В, рассеиваемая мощность зависит от коэффициента деления и составляет 0,3–0,8 Вт, типовое значение теплового сопротивления «переход-среда» равно 51 °С/Вт. Пределитель соответствует требованиям стандарта ассоциации JEDEC (Joint Electron Device Engineering Council) MO-220, по устойчивости к внешним воздей-

ствиям (влажности) отвечает требованиям промышленного стандарта MSL-1.

Для работы с делителем частоты UXN14M32K компания Centellax разработала отладочную плату UXN14M32KE (15 GHz 32-Bit Programmable Integer Divider Evaluation Board), которая подключается к персональному компьютеру по шине USB (рис. 24).

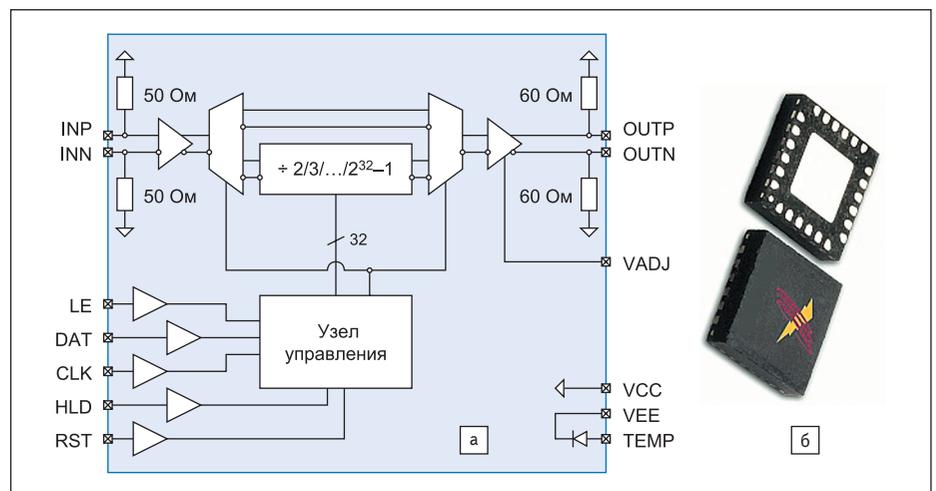


Рис. 23. Делитель частоты UXN14M32K: а) структурная схема; б) внешний вид

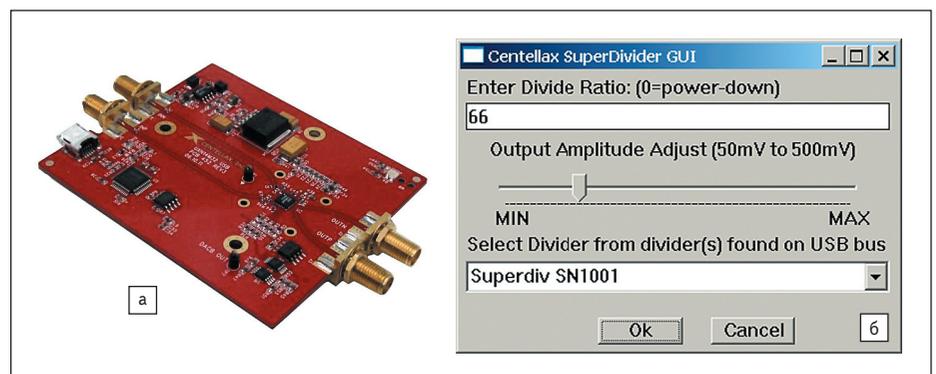


Рис. 24. Отладочная плата UXN14M32KE: а) внешний вид; б) пользовательский интерфейс программного обеспечения

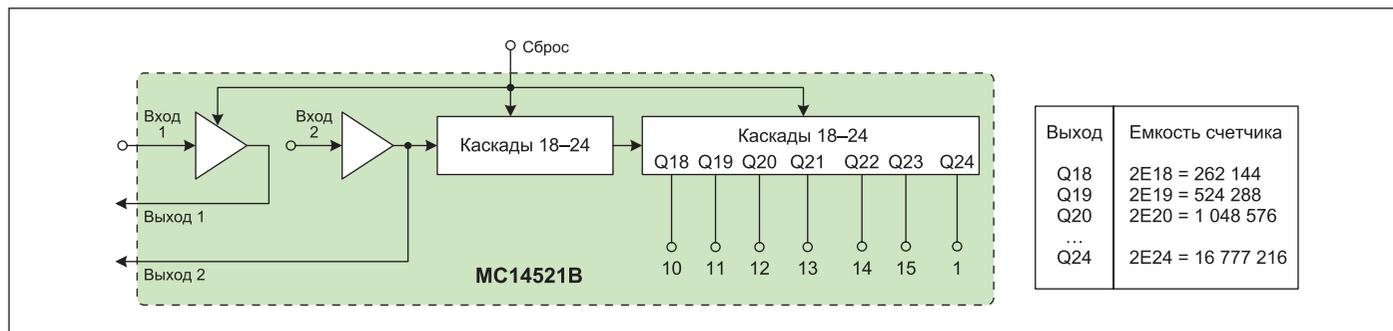


Рис. 25. Структура делителя MC14521B компании ON Semiconductor

Таблица 6. Делители частоты фирмы Zarlink

Модель	$f_{\text{раб}}$, ГГц	$K_{\text{дел}}$	$U_{\text{питт}}$, В	$I_{\text{питт}}$, мА
SP8782	0,05–1	16/17,32/33	6	60
SP8714	2,1	32/33,64/65	5–7	8,5
SP8402	0,2–1,5	2^n (2–256)	5–6,5	102
SP8401	0,05–0,3	10/11	6,5	50–64
SP8400	0,2–1,5	8–4103	6,5	122–152
ZL40814	10,5–14,5	16	5–6,5	54–148

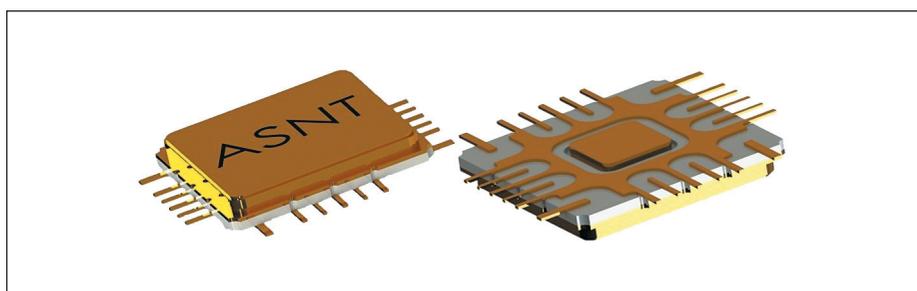


Рис. 26. Конструктивное выполнение делителей ASNT компании ADSANTEC в корпусе CQFP

С помощью прилагаемого программного обеспечения создается пользовательский интерфейс, посредством которого можно управлять амплитудой выходного сигнала (Output Amplitude) и производить изменение коэффициента деления (Divide Ratio).

Компания Zarlink Semiconductor, ныне входящая в состав Microsemi, ранее разработала с использованием кремниевых технологий ряд делителей, краткие сведения о некоторых, наиболее характерных моделях приведены в таблице 6. Однако следует отметить, что в настоящее время информация об этих делителях на сайте производителя отсутствует.

В делителях компании ON Semiconductor активно используется ECL-технология MOSAIC V (Motorola oxide isolated self-aligned implanted circuits, fifth generation), что позволяет работать на частотах до 5 ГГц. Компания предлагает более 35 моделей делителей с различными фиксированными и переключаемыми коэффициентами деления, отличающихся структурой, областями использования, диапазонами рабочих частот. Наиболее высокочастотная модель NB7L32M/D делителя с коэффициентом деления 2 может быть использована на частотах до 14 ГГц.

Следует упомянуть делитель MC14521B, работающий на частотах до 6 МГц, чья структура приведена на рис. 25. MC14521B содержит цепочку из 24 триггеров с комбинированной входной цепью, которая позволяет реализовать три режима работы делителя. Каждый триггер делит выходную частоту предыдущего триггера на два, следовательно, общий счет может происходить до $2^{24} = 16\,777\,216$. Отсчет продвигается по отрицательному перепаду тактового сигнала. Выходы последних семи ступеней деления доступны для достижения дополнительной гибкости изделия. Входная цепь может быть

Таблица 7. Широкополосные ДЧ компании ADSANTEC

Модель	Функции	$f_{\text{вх}}$, ГГц	$U_{\text{питт}}$, В/ $P_{\text{потт}}$, мВт	Корпус
ASNT5180-KMC	Широкополосный ДЧ на 22	0–40	3,3/270	24 CQFP
ASNT8010-PQB	Программируемый целочисленный ДЧ, $K_{\text{дел}} = 1–256$	0–17	2,8 (2,5–3,5)/1900; 2100	40 QFN
ASNT8130-KMC	Широкополосный ДЧ на 2/4	0–36	3,3/260	24 CQFP
ASNT8131-PQC	Широкополосный ДЧ на 2/4	0–32	3,3/317	24 QFN
ASNT8132-KMC	Широкополосный ДЧ на 2	0–54	3,3/630	24 CQFP
ASNT8133-KMC	Широкополосный ДЧ на 1/2/4	0–50	3,3/845	24 CQFP

сконфигурирована различным образом и функционировать в качестве кварцевого генератора, RC-генератора или входного буфера для внешнего генератора.

Ряд широкополосных делителей частоты, основные сведения о которых приведены в таблице 7, предлагает компания ADSANTEC (Advanced Science and Novel Technology). Наиболее высокочастотной моделью, работающей в диапазоне 0–54 ГГц, является SiGe термостабильная ИС ASNT8132-KMK, обеспечивающая широкополосное деление частоты на 2 (broadband clock divide-by-2). Делители (рис. 26) предназначены для использования в устройствах высокоскоростных измерений и в тестовом оборудовании.

Литература

- Игнатов А. Н. Нанoeлектроника. Состояние и перспективы развития. Учеб. пособие. Сиб. гос. ун-т телекоммуникации и информатики. Новосибирск, 2011.
- Knapp H., Meister T., Liebl W., Claeys D., Popp T., Aufinger K., Schafer H., Bock J., Boguth S., Lachner R. Static frequency dividers up to 133 GHz in SiGe: C bipolar technology. Proc. BCTM'10, Austin TX, 2010.
- Ali U., Bober M., Thiede A., Awany A., Fischer G. High speed static frequency divider design with 111.6 GHz self-oscillation frequency (SOF) in 0.13 μm SiGe BiCMOS technology. German Microwave Conference, 2015.
- Trotta S., et al. 110-GHz Static Frequency Divider in SiGe Bipolar Technology. CSICS Digest, 2005.
- Laskin E., Nicolson S. T., Chevalier P., Chantre A., Sautreuil B., Voinigescu S. P. Low-Power, Low-Phase Noise SiGe HBT Static Frequency Divider Topologies up to 100 GHz. IEEE BCTM Digest, 2006.
- Rylyakov A., Zwick T. 96-GHz Static Frequency Divider in SiGe Bipolar Technology // JSSC. 2004. Vol. 39. No. 10.
- Sarkissian J., Camiade M., Savary P., Suarez A., Quere R., Obregon J. A 60-GHz HEMT-MMIC analog frequency divider by two // IEEE J. Solid-State Circuits. 1995. Vol. 30. No. 10.
- Kudszus S., Haydl W. H., Neumann M., Schlechtweg M. 94/47-GHz regenerative frequency divider MMIC with low conversion loss // IEEE J. Solid-State Circuits. 2000. Vol. 35. No. 9.
- Jeong J., Kwon Y. V-band harmonic injection-locked frequency divider using cross-coupled FETs // IEEE Microw. Wireless Compon. Lett. 2004. Vol. 14. No. 10.

10. Jeong J., Kwon Y. V-Band High-Order Harmonic Injection-Locked Frequency-Divider MMICs With Wide Bandwidth and Low-Power Dissipation // IEEE Transactions on Microwave Theory and Techniques. 2005. Vol. 53. No. 6.
11. Seo M., Hacker J., Urteaga M., Skalare A., Rodwell M. A 529 GHz dynamic frequency divider in 130 nm InP HBT process // IEICE Electronics Express. 2015. Vol. 12. No. 3.
12. Lee O., Kim J.-G., Lim K., Laskar J., Hong S. A 60-GHz push-push InGaP HBT VCO with dynamic frequency divider // IEEE Microwave and Wireless Components Letters. 2005. Vol. 15. Iss. 10.
13. Ahmadi Mehr S. A. R., Tohidian M., Staszewski R. B. Toward Solving Multichannel RF-SoC Integration Issues Through Digital Fractional Division // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2016. Vol. 24. Iss. 3.
14. Pellerano S., Madoglio P., Palaskas Y. A 4.75-GHz fractional frequency divider-by-1.25 with TDC-based all-digital spur calibration in 45-nm CMOS // IEEE J. Solid-State Circuits. 2009. Vol. 44. No. 12.
15. Krishnapura N., Kinget P. R. A 5.3-GHz programmable divider for HiPerLAN in 0.25 μm CMOS // IEEE J. Solid-State Circuits. 2000. Vol. 35. No. 7.
16. Shu K., Sánchez-Sinencio E., Silva-Martínez J., Embabi S. H. K. A 2.4-GHz monolithic fractional-N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier // IEEE J. Solid-State Circuits. 2003. Vol. 38. No. 6.
17. Craninckx J., Steyaert M. A 1.75-GHz/3-V dual-modulus divide-by-128/129 prescaler in 0.7- μm CMOS // IEEE J. Solid-State Circuits. 1996. Vol. 31. No. 7.
18. Hoppner S., Henker S., Eisenreich H., Schuffny R. An open-loop clock generator for fast frequency scaling in 65 nm CMOS technology. Proc. 18th Int. Conf. Mixed Design Integr. Circuits Syst. (MIXDES), Jun. 2011.
19. Дмитриев С. Предварительные делители частоты NEC Electronics упрощают архитектуру синтезаторов частот в диапазоне 5–13 ГГц // Компоненты и технологии. 2005. № 4.